

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-93153

(P2002-93153A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.⁷ 識別記号G 1 1 C 11/22
14/00

F I

G 1 1 C 11/22
11/34テ-コード^{*} (参考)5 B 0 2 4
3 5 2 A

審査請求 未請求 請求項の数11 O L (全 20 頁)

(21) 出願番号 特願2000-274222(P2000-274222)

(22) 出願日 平成12年9月8日 (2000.9.8)

(71) 出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72) 発明者 穂谷 克彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100092820

弁理士 伊丹 勝

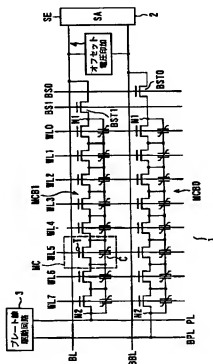
最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【課題】 ワード線位置に依らず略一定の読み出し信号マージンが得られるようにした T C 並列ユニット直列接続型強誘電体メモリを提供する。

【解決手段】 強誘電体キャパシタ C とセルトランジスタ T を並列接続してなるメモリセル MC を端子 N 1、N 2 の間に複数個直列接続して構成されたセルブロック M C B 0、M C B 1 が対をなすビット線 B B L、B L に沿って形成される。端子 N 1 はブロック選択トランジスタ B S T 0、B S T 1 を介してビット線 B B L、B L に接続され、端子 N 2 はプレート線 B P L、P L に接続され、各セルトランジスタ T のゲートがワード線 W L に接続される。ビット線 B B L、B B L にはセンスアンプ回路 2 が接続される。オフセット電圧発生回路 4 は、データ読み出し時に、選択されるワード線位置に応じて異なるオフセット電圧をビット線に与えることにより、ワード線位置による読み出し信号のアンバランスを補正する。



1

【特許請求の範囲】

【請求項 1】 セルトランジスタのソース、ドレイン間に強誘電体キャパシタを接続してユニットセルが構成され、第 1 の端子と第 2 の端子の間に複数のユニットセルが直列接続されてセルブロックが構成され、各セルブロックの第 1 の端子がブロック選択トランジスタを介してビット線に接続され、各セルブロックの第 2 の端子がプレート線に接続され、前記各セルトランジスタのゲートがワード線に接続されたメモリセルアレイと、前記ユニットセルの強誘電体キャパシタから前記ビット線に読み出される信号を検知増幅するセンスアンプ回路と、

前記プレート線を駆動するプレート線駆動回路と、データ読み出し時、前記センスアンプ回路の活性化前に、前記ビット線に対して前記セルブロック内の選択されたユニットセルの位置に応じて異なるオフセット電圧を印加するオフセット電圧印加回路と、を備えたことを特徴とする強誘電体メモリ。

【請求項 2】 前記オフセット電圧印加回路は、選択されたユニットセルが接続されるビット線に対して、選択されたユニットセルのセルブロック内の位置がビット線から遠いほど高くなるオフセット電圧を与えるものであることを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 3】 前記オフセット電圧印加回路は、選択されたユニットセルが接続されるビット線と対をなす参照側のビット線に対して、選択されたユニットセルのセルブロック内の位置がビット線から遠いほど低くなるオフセット電圧を与えるものであることを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 4】 前記オフセット電圧発生回路は、一端がビット線に接続された少なくとも一つのキャパシタの他端に駆動電圧を与えて、容量カップリングによりビット線にオフセット電圧を印加するものであることを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 5】 前記オフセット電圧印加回路は、一端がビット線に接続される複数のキャパシタと、これらのキャパシタの他端に選択されるワード線位置に応じて駆動電圧を与えるデコードゲートとを備えて構成されることを特徴とする請求項 4 記載の強誘電体メモリ。

【請求項 6】 前記オフセット電圧印加回路は、一端がビット線に接続される一つのキャパシタと、このキャパシタの他端に接続されたそれぞれ異なる駆動電圧を与えるための複数の駆動トランジスタと、これらの駆動トランジスタを選択されるワード線位置に応じて選択するデコードゲートとを備えて構成されることを特徴とする請求項 4 記載の強誘電体メモリ。

【請求項 7】 セルトランジスタのソース、ドレイン間に強誘電体キャパシタを接続してユニットセルが構成され、第 1 の端子と第 2 の端子の間に複数のユニットセルを直列接続してセルブロックが構成され、各セルブ

2

ックの第 1 の端子がブロック選択トランジスタを介してビット線に接続され、各セルブロックの第 2 の端子がプレート線に接続され、前記各セルトランジスタのゲートがワード線に接続されたメモリセルアレイと、

前記ユニットセルの強誘電体キャパシタから前記ビット線に読み出される信号を検知増幅するセンスアンプ回路と、

前記プレート線を駆動するプレート線駆動回路と、スタンバイ時に前記セルブロックの内部ノードを、前記ビット線に読み出される二値データの信号電位の間に、前記第 1 の電位に設定するプリチャージ回路と、を備えたことを特徴とする強誘電体メモリ。

【請求項 8】 前記プリチャージ回路は、前記プレート線を介して各セルブロックの内部ノードを前記第 1 の電位にプリチャージするものであり、且つ前記プレート線駆動回路とプリチャージ回路とは、スタンバイ時に前記第 1 の電位を発生し、アクティブ時に選択されたユニットセルの強誘電体キャパシタに順次印加される、前記第 1 の電位より高い第 2 の電位及び前記第 1 の電位より低い第 3 の電位を発生する 3 値電圧発生回路として一体構成されていることを特徴とする請求項 7 記載の強誘電体メモリ。

【請求項 9】 セルトランジスタのソース、ドレイン間に強誘電体キャパシタを接続してユニットセルが構成され、第 1 の端子と第 2 の端子の間に複数のユニットセルを直列接続してセルブロックが構成され、各セルブロックの第 1 の端子がブロック選択トランジスタを介してビット線に接続され、各セルブロックの第 2 の端子がプレート線に接続され、前記各セルトランジスタのゲートがワード線に接続されたメモリセルアレイと、前記ユニットセルの強誘電体キャパシタから前記ビット線に読み出される信号を検知増幅するセンスアンプ回路と、

前記プレート線を駆動するプレート線駆動回路と、データ読み出し時、選択されたセルブロックが接続されるビット線と対をなす参照ビット線に、選択されるユニットセルの位置に応じて異なる寄生容量を付加するように配置されたダミーセルブロックと、を備えたことを特徴とする強誘電体メモリ。

【請求項 10】 前記ダミーセルブロックは、前記セルブロックのユニットセルと同数のダミーセルトランジスタが直列接続され、各ダミーセルトランジスタのゲートにダミーワード線が接続されて構成され且つ、前記セルブロックの選択されたワード線に対応するダミーワード線が同時に選択されることを特徴とする請求項 9 記載の強誘電体メモリ。

【請求項 11】 データ読み出し時、選択されたビット線と対をなす参照ビット線に対して、キャパシタの容量カップリングにより参照電位を与える参照電位発生回路を備えたことを特徴とする請求項 1、7、9 のいずれか

3

に記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、強誘電体キャパシタを用いてデータを不揮発に記憶する強誘電体メモリに係り、特に強誘電体キャパシタとセルトランジスタを並列接続してなるユニットセルを複数個直列接続してセルブロックを構成する強誘電体メモリに関する。

【0002】

【従来の技術】強誘電体メモリは、強誘電体キャパシタの残留分極の大きさによって二値データを不揮発に記憶する。従来の強誘電体メモリのメモリセルは一般に、DRAMと同様に強誘電体キャパシタとセルトランジスタを直列接続して構成される。しかしDRAMと異なり、強誘電体メモリでは残留分極量でデータを保持するため、信号電荷をビット線に読み出すには、プレート線を駆動することが必要になる。このため、従来型の強誘電体メモリでは、プレート線駆動回路が大きな面積を必要とする。

【0003】これに対して、プレート線駆動回路の面積を小さくできる強誘電体メモリのセルアレイ方式が高島等によって提案されている。これは、セルトランジスタ(T)のソース、ドレインに強誘電体キャパシタ(C)の両端をそれぞれ接続してユニットセルを構成し、このユニットセルを複数個直列接続してセルブロックを構成するものである(D. Takashima et al., "High-density chain ferroelectric random memory (CFRAM)" in Proc. VLSI Symp. June 1997, pp. 83-84)。このTC並列ユニット直列接続型強誘電体メモリでは、例えば8個のユニットセルでプレート線駆動回路を共有できるため、セルアレイを高密度化することができる。

【0004】図24は、このようなTC並列ユニット直列接続型強誘電体メモリのメモリセルアレイ1の構成を示している。ユニットMCは、強誘電体キャパシタCとセルトランジスタTの並列接続により構成されている。この様なユニットセルMCが図の例では8個直列接続されて、セルブロックMCBが構成される。図では、一对のビット線BL、BBLに接続される二つのセルブロックMCB0、MCB1を示している。

【0005】セルブロックMCB0、MCB1の各一端は、ブロック選択トランジスタBST0、BST1を介してビット線BBL、BLに接続され、各他端はプレート線BPL、PLに接続される。各セルブロックのセルトランジスタのゲートは、ワード線WL0~WL7に接続される。ビット線BL、BBLには読み出しデータを検出増幅するセンスアンプ回路SAが接続される。

【0006】図25は、このような強誘電体メモリの基本動作のタイミング図である。ユニットセルは、強誘電体キャパシタの残留分極が正の状態をデータ“1”、残留分極が負の状態をデータ“0”として記憶するものとす

4

る。スタンバイ時、全てのワード線WLは“H”、ブロック選択信号BS0、BS1は“L”、ビット線BL、BBL及びプレート線PL、BPLはVSSに保たれる。このとき、強誘電体キャパシタCはオン状態のセルトランジスタにより端子間が短絡されており、データを安定に保持する。

【0007】アクティブ動作に入り、例えばワード線WL2によりビット線BL側のユニットセルを選択する場合には、ビット線BLをフローティングとし、ワード線WL2を“L”にした後、ブロック選択信号BS0を“H”とし、プレート線PLをVSS(接地電位)からVAA(正電位)に上げる。これにより、選択されたユニットセルのキャパシタに電圧が印加され、データ“0”、“1”に応じて信号電圧がビット線BLに読み出される。

【0008】ビット線BLに読み出された信号電圧は、対をなすビット線BBLに与えた参照電位Vrefとの比較により検出される。即ち、センサアンプ活性化信号SEを立ち上げることにより、センスアンプ回路SAによって、ビット線BLは、データ“1”の場合、VAAに、データ“0”の場合にはVSSになる。その後、センスアンプ回路SAを非活性にすることにより、読み出されたデータは、再書き込みされる。

【0009】この読み出しと再書き込み動作において、“1”データの場合には破壊読み出しとなり、“0”データの場合には非破壊読み出しとなる。即ち、“1”データの場合には、プレート線PLからの正電位の印加により、強誘電体キャパシタの残留分極が大きく減少して分極反転を生じる。そして読み出し後、プレート線の電圧を下げると、ビット線が読み出しデータにより高電位となっているために、読み出し時とは逆電圧が強誘電体キャパシタにかかって、再度残留分極が+Prの状態まで再書き込みされる。“0”データの場合には、プレート線電圧による分極反転を生ぜず、また読み出し後に逆電圧が掛かることもなく、元の負の残留分極状態に再書き込みされる。

【0010】以上の動作において、読み出し信号量は、ビット線の容量と強誘電体キャパシタの特性曲線により決まる。図26は、強誘電体キャパシタの特性曲線(ヒステリシス曲線)と読み出し信号量の関係を示している。ここで、プレート線側から強誘電体キャパシタに与えられる正電圧VAAは、電圧軸上では負軸に-VAAで示し、ビット線側から強誘電体キャパシタに与えられる正電圧VAAを正軸に示している。ビット線容量をCbとすると、図26に示すように、“1”、“0”データの読み出し時のビット線電位上昇は、傾き-Cbの負荷直線とヒステリシス曲線の交点位置として求められる。但しビット線の電位上昇を-VAAを基準として示している。図26から明らかなように、“1”、“0”データの読み出し電位は、ビット線容量Cbの増加と共に

5

に減少するので、その電位差である読み出し信号量もビット線容量C_bの値に依存する。その読み出し信号量のビット線容量依存性は、通常のDRAMと異なり、ある値のビット線容量で最大値をとる。

【0011】ところで、T_C並列ユニット直列接続型強誘電体メモリでは、その特有の性質として、ビット線の負荷容量C_bが、セルブロック内の選択ワード線の位置により異なる。即ち、ワード線WL0によりビット線に最も近いメモリセルを選択した場合に比べて、ワード線WL7によりビット線から最も遠いメモリセルを選択したときには、ビット線自体の容量C_bに加えて、ワード線WL0-WL6に接続されたユニットセルの寄生容量が負荷として入るため、実質的にビット線容量が大きくなるからである。

【0012】図27は、この様に、選択ワード線位置によりビット線容量C_bが実質的に変化し、従って読み出し信号量が変化する様子を示している。選択ワード線がWL0の場合に比べて、WL7の場合には、“1”、“0”データ共に読み出し信号電位は減少する。

【0013】

【発明が解決しようとする課題】ところで、データセレクト時には、対をなすビット線B_L、B_Lの一方が選択されたとき、他方を参照ビット線としてこれに図27に示すような参照電位V_{ref}が与えられる。参照電位V_{ref}は、“1”データの時の読み出しビット線電位と“0”データの時の読み出しビット線電位の中間の値に設定される。しかし、参照電位V_{ref}を一定とすると、T_C並列ユニット直列接続型強誘電体メモリの場合、図27から明らかなように、選択ワード線がWL0からWL7になると、“1”データでは読み出し電位と参照電位V_{ref}との差が小さくなり、“0”データの場合には逆に、読み出し電位と参照電位V_{ref}との差は大きくなる。図28は、その読み出し電位とワード線位置の関係を示している。図28の破線は“0”、“1”データの読み出し電位の中間値である。

【0014】この様にT_C並列ユニット直列接続型強誘電体メモリにおいては、選択ワード線の位置に応じて読み出しメモリセルの負荷容量が変化する結果、参照電位V_{ref}を一定とすると、アクセスするワード線位置により“0”、“1”データの信号マージンにアンバランスが生じるという問題がある。

【0015】この発明は、上記事情を考慮してなされたもので、ワード線位置に依らず略一定の読み出し信号マージンが得られるようにしたT_C並列ユニット直列接続型の強誘電体メモリを提供することを目的としている。

【0016】

【課題を解決するための手段】この発明に係る強誘電体メモリは、第1に、セルトランジスタのソース、ドレイン間に強誘電体キャパシタを接続してユニットセルが構成され、第1の端子と第2の端子の間に複数個のユニッ

6

トセルが直列接続されてセルブロックが構成され、各セルブロックの第1の端子がブロック選択トランジスタを介してビット線に接続され、各セルブロックの第2の端子がプレート線に接続され、前記各セルトランジスタのゲートがワード線に接続されたメモリセルアレイと、前記ユニットセルの強誘電体キャパシタから前記ビット線に読み出される信号を検知増幅するセンスアンプ回路と、前記プレート線を駆動するプレート線駆動回路と、データ読み出し時、前記センスアンプ回路の活性化前に、前記ビット線に対して前記セルブロック内の選択されたユニットセルの位置に応じて異なるオフセット電圧を印加するオフセット電圧印加回路と、を備えたことを特徴とする。

【0017】この様に、ビット線に対して、選択されたユニットセル位置に応じて異なるオフセット電圧を与えることにより、T_C並列ユニット直列接続型強誘電体メモリに特有の現象であるセルブロックの寄生容量に起因する読み出し信号のアンバランスを補正することができる。

【0018】オフセット電圧印加回路は、(a)選択されたユニットセルが接続されるビット線に対して、選択されたユニットセルのセルブロック内の位置がビット線から遠いほど高くなるオフセット電圧を与えるものとして構成することができ、或いは(b)選択されたユニットセルが接続されるビット線と対をなす参照側のビット線に対して、選択されたユニットセルのセルブロック内の位置がビット線から遠いほど低くなるオフセット電圧を与えるものとして構成することもできる。

【0019】また、オフセット電圧発生回路は、一端がビット線に接続された少なくとも一つのキャパシタの他端に駆動電圧を与えて、容量カップリングによりビット線にオフセット電圧を印加するものとして構成することができる。この容量カップリング方式を利用したオフセット電圧印加回路は、具体的に例えば、一端がビット線に接続される複数のキャパシタと、これらのキャパシタの他端に選択されるワード線位置に応じて駆動電圧を与えるデコードゲートとを備えて構成される。或いはまた、一端がビット線に接続される一つのキャパシタと、このキャパシタの他端に接続されたそれぞれ異なる駆動電圧を与えるための複数の駆動トランジスタと、これらの駆動トランジスタを選択されるワード線位置に応じて選択するデコードゲートとを備えて構成される。

【0020】この発明に係る強誘電体メモリは、第2に、セルトランジスタのソース、ドレイン間に強誘電体キャパシタを接続してユニットセルが構成され、第1の端子と第2の端子の間に複数個のユニットセルを直列接続してセルブロックが構成され、各セルブロックの第1の端子がブロック選択トランジスタを介してビット線に接続され、各セルブロックの第2の端子がプレート線に接続され、前記各セルトランジスタのゲートがワード線

7

に接続されたメモリセルアレイと、前記ユニットセルの強誘電体キャパシタから前記ビット線に読み出される信号を検知増幅するセンスアンプ回路と、前記プレート線を駆動するプレート線駆動回路と、スタンバイ時に前記セルブロックの内部ノードを、前記ビット線に読み出される二値データの信号電位の間にある第1の電位に設定するプリチャージ回路と、を備えたことを特徴とする。

【0021】この発明によると、スタンバイ時のプレート線側からのセルブロックのプリチャージにより、ビット線側からオフセット電圧を与える場合と同様に、TC並列ユニット直列接続型強誘電体メモリに特有の現象であるセルブロックの寄生容量に起因する読み出し信号のアンバランスを補正することができる。ここで、プリチャージ回路は例えば、プレート線を介して各セルブロックの内部ノードを前記第1の電位にプリチャージするものとして、プレート線駆動回路と一体構成することができる。この場合、プレート線駆動回路は、スタンバイ時に第1の電位を発生し、アクティブ時に選択されたユニットセルの電位より高い第2の電位及び第1の電位より低い第3の電位を発生する3値電圧発生回路として構成される。

【0022】この発明に係る強誘電体メモリは、第3に、セルトランジスタのソース、ドレイン間に強誘電体キャパシタを接続してユニットセルが構成され、第1の端子と第2の端子の間に複数個のユニットセルを直列接続してセルブロックが構成され、各セルブロックの第1の端子がブロック選択トランジスタを介してビット線に接続され、各セルブロックの第2の端子がプレート線に接続され、前記各セルトランジスタのゲートがワード線に接続されたメモリセルアレイと、前記ユニットセルの強誘電体キャパシタから前記ビット線に読み出される信号を検知増幅するセンスアンプ回路と、前記プレート線を駆動するプレート線駆動回路と、データ読み出し時、選択されたセルブロックが接続されるビット線と対をなす参照ビット線に、選択されるユニットセルの位置に応じて異なる寄生容量を付加するように配置されたダミーセルブロックと、を備えたことを特徴とする。

【0023】この様に、ダミーセルによって、選択ビット線に付加される寄生容量と同等の寄生容量を参照ビット線に与えることによっても、TC並列ユニット直列接続型強誘電体メモリに特有の現象であるセルブロックの寄生容量に起因する読み出し信号のアンバランスを補正することができる。ダミーセルブロックは例えば、セルブロックのユニットセルと同数のダミーセルトランジスタが直列接続され、各ダミーセルトランジスタのゲートにダミーワード線が接続されて構成され且つ、セルブロックの選択されたワード線に対応するダミーワード線が同時に選択されるようにすればよい。

【0024】なおこの発明において、好ましくは、データ読み出し時、選択されたビット線と対をなす参照ビ

8

ット線に対して、キャパシタの容量カップリングにより参照電位を与える参照電位発生回路を備える。

【0025】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1は、この発明の実施の形態によるTC並列ユニット直列接続型強誘電体メモリの要部構成を示す等価回路である。基本構成は、図24に示す回路と同様であり、ユニットセルMCは、セルトランジスタTのソース、ドレインに強誘電体キャパシタCの両端をそれぞれ接続して構成されている。この様なユニットセルMCが図の例では端子N1、N2間に8個直列接続されて、セルブロックMCBが構成される。図では、一对のビット線BL、BLに接続される二つのセルブロックMCB0、MCB1を示している。

【0026】セルブロックMCB0、MCB1の一端N1は、ブロック選択トランジスタBST0、BST1を介してビット線BL、BLに接続され、他端N2はプレート線BPL、PLに接続される。各セルブロックのセルトランジスタTのゲートは、ワード線WL0~WL7に接続される。ビット線BL、BLには読み出しデータを検知増幅するセンスアンプ(SA)回路2が接続され、プレート線PL、BPLには、プレート線駆動回路3が接続されている。

【0027】この実施の形態においては、選択されるワード線の位置に応じて変動する読み出し信号マージンを補正するために、ビット線BL、BBLの一方に対して所定のオフセット電圧を印加するためにオフセット電圧印加回路4が設けられている。このオフセット電圧印加回路4は、具体的には、データ読み出し時、センスアンプ回路2が活性化される前に、選択されるワード線位置に応じて異なるオフセット電圧をビット線BL、BBLの一方に与えるように構成される。

【0028】オフセット電圧印加回路4の具体的な構成の説明に先立って、その基本的な回路方式と機能を説明する。

【選択ビット線にオフセット電圧を与える方式】オフセット電圧印加回路4は、データ読み出しがなされる選択ビット線に対して、オフセット電圧を印加する方式とすることができる。この場合、オフセット電圧は、セルブロック内の選択されたユニットセル位置がビット線から遠いほど、高くなるように選択される。これにより、寄生容量による信号減少を補償することが可能になる。具体的には、(a)セルブロック内のビット線から遠い側のユニットセルが選択された時に、正のオフセット電圧を与える方式と、逆に(b)ビット線に近い側のユニットセルが選択された時に負のオフセット電圧を与える方式とが考えられる。

【0029】図2Aは、(a)の方式を適用した場合のオフセット電圧 ΔV の印加の様子をヒステリシス曲線と

の関係で示している。最も単純には、ワード線WL0-WL7をWL0-WL3のグループと、WL4-WL7のグループに分け、前者のグループ内のワード線が選択された時は、オフセット電圧 $\Delta V=0V$ とし、後者のグループが選択された時は、正のオフセット電圧 ΔV を与える。

【0030】図2Aでは、代表的に、ワード線WL0が選択された場合と、ワード線WL7が選択された場合を示している。ワード線WL7が選択された場合、即ちビット線から遠いユニットセルが選択された場合に、その選択ビット線に正のオフセット電圧 ΔV を与える。先に説明し、また図2Aにも示したように、ワード線位置によりビット線に接続される寄生容量が異なり、ワード線WL0が選択された時の負荷直線-Cb(WL0)と、ワード線WL7が選択された時の負荷直線-Cb(WL7)とは傾斜が異なる。

【0031】ワード線WL7が選択された時に、選択ビット線に正のオフセット電圧 ΔV を与えると、図2Aに示すように、破線で示した負荷直線-Cb(WL7)が、実質的には、実際に示すように、スタート点が正電圧側にシフトしたと等価になる。この結果、“0”、“1”データいずれの場合にも、ワード線WL0が選択された時とワード線WL7が選択された時の負荷直線とヒステリシス曲線の交点、即ち読み出し信号電位の差が殆どない状態に補正される。

【0032】図2Bは、(b)の方式を適用した場合のオフセット電圧 ΔV の印加の様子をヒステリシス曲線との関係で示している。ここでも図2Aと同様に、ワード線WL0が選択された場合と、ワード線WL7が選択された場合を示しているが、図2Aとは逆に、ワード線WL4-WL7が選択された場合にはオフセット電圧を0Vとし、ワード線WL0-WL3が選択された場合には、その選択ビット線に負のオフセット電圧 $-\Delta V$ を与える。これにより、実質的に負荷直線-Cb(WL7)のスタート点が負電圧側にシフトしたと等価になる。従って、“0”、“1”データいずれの場合にも、ワード線WL0が選択された時とワード線WL7が選択された時の負荷直線とヒステリシス曲線の交点、即ち読み出し信号電位の差が殆どない状態に補正される。

【0033】【参照ビット線にオフセット電圧を与える方式】オフセット電圧印加回路4は、データ読み出しがなされる選択ビット線ではなく、これと対をなして参照電位 V_{ref} が与えられる参照ビット線に対して、オフセット電圧を印加する方式とすることもできる。この場合には、セルブロック内の選択されたユニットセルの位置がビット線から遠いほど、低くなるようにオフセット電圧を選択すればよい。具体的には、(a)セルブロック内のビット線から遠い側のユニットセルが選択された時に、負のオフセット電圧を与える方式と、逆に(b)ビット線に近い側のユニットセルが選択された時に正の

オフセット電圧を与える方式とが考えられる。

【0034】図3Aは、(a)の方式を適用した場合の特性曲線である。この場合も単純には、ワード線WL0-WL7をWL0-WL3のグループと、WL4-WL7のグループに分け、前者のグループ内のワード線が選択された時は、負のオフセット電圧 $-\Delta V$ を与え、後者のグループが選択された時は、オフセット電圧 $\Delta V=0V$ とする。図3Aにおいても、代表的にワード線WL0とWL7が選択された場合を示している。即ちワード線WL0が選択された場合の破線で示す参照電位 V_{ref} (WL0)に対して、ワード線WL7が選択された場合の参照電位 V_{ref} (WL7)をオフセット電圧印加により負側にシフトさせる。これにより、ワード線WL0が選択された時の“0”、“1”データの読み出し信号マージンと、ワード線WL7が選択された時の“0”、“1”データの読み出し信号マージンを同等の状態とすることができる。

【0035】図3Bは、(b)の方式を適用した場合の特性曲線である。この場合は、ワード線WL7が選択された場合の破線で示す参照電位 V_{ref} (WL7)に対して、ワード線WL0が選択された場合の参照電位 V_{ref} (WL0)をオフセット電圧印加により正側にシフトさせる。これにより、図3Aの場合と同様に、ワード線WL0が選択された時の“0”、“1”データの読み出し信号マージンと、ワード線WL7が選択された時の“0”、“1”データの読み出し信号マージンを同等の状態とすることができる。

【0036】なお、図1に示したオフセット電圧印加回路4は、選択されるワード線位置に応じてビット線電位を調整するためのものであり、これとは別に、ビット線BL、BLの一方が選択された時に他方に参照電位 V_{ref} を与える参照電位発生回路が必要である。

【0037】図4は、図1の基本構成に、参照電位発生回路5を加えた構成を示している。参照電位発生回路5は、一端が駆動線DPLにより駆動されるキャパシタCrを用いて構成される。キャパシタCrの他端は、スタンバイ時はリセット用NMOSトランジスタQN13を介してVSSに接続され、アクティブ時にはNMOSトランジスタQN11、QN12により選択的にビット線BBL、BLに接続される。これにより、データ読み出し時、例えばビット線BLにデータが読み出される時には、ビット線BBLに対してキャパシタCrのノードを接続する。そして、駆動線DPLに与えられる電圧をキャパシタCrにより容量カップリングさせることにより、参照電位 V_{ref} が与えられる。

【0038】図5は、図4における参照電位発生回路5のキャパシタCrとして、常誘電体キャパシタではなく、メモリセルと同様の強誘電体キャパシタを用いた例である。それ以外は図4と変わらない。この場合、キャパシタCrには、メモリセルの“0”データ状態と同様

11

の残留分極状態が書き込まれるものとする。但し、駆動線DPLをプレート線PLと同様の電圧で駆動して参照電位Vrefとして“0”、“1”の読み出し電位の中間の値を得るためには、例えばキャパシタCrの面積をセルユニットMCの強誘電体キャパシタCのそれより大きくする。

【0039】図6は、図1、図4或いは図5におけるオフセット電圧発生回路4の部分を具体化した構成例を示している。オフセット電圧発生回路4の要部は、ビット線BL、BBLに容量カップリングによりオフセット電圧を与えるためのキャパシタC、CBである。これらのキャパシタC、CBの駆動端子CKA、CKBは、それぞれデコーダゲートであるNANDゲートG1、G2とそれらの出力に設けられたインバータINV1、INV2により選択的に駆動される。

【0040】ここでは、アドレスの3ビットA0-A2により、8本のワード線WL0-WL7の一つが選択され、またアドレスビットA3により、ビット線対BL、BBLの一方（即ち、セルブロックMCB1、MCB0の一方）が選択される場合を想定している。そして、図2Aで説明したオフセット電圧印加方式の応用として、ワード線WL0-WL3が選択されたときにはオフセット電圧を印加せず、ワード線WL4-WL7が選択された時に選択ビット線にオフセット電圧を印加する方式を採用している。

【0041】そのために、ビット線BBL側のNANDゲートG1には、活性化信号TCK0と共に、アドレスA2、A3が入力され、ビット線BBL側のNANDゲートG2には、活性化信号TCK0と共に、アドレスA2、A3が入力される。即ち、A3=0でビット線BL側が選択され、且つワード線WL4-WL7の範囲が選択されるA2=“1”、A3=“1”のとき、キャパシタC側のNANDゲートG1の出力が“L”となり、駆動端子CKAにオフセット電圧発生のための電圧V0が与えられる。また、A3=1でビット線BBL側が選択され、且つワード線WL4-WL7の範囲が選択されるA2=“1”、A3=“1”のとき、キャパシタCB側のNANDゲートG2の出力が“L”となり、駆動端子CKBにオフセット電圧発生のための電圧V0が与えられるようになっている。

【0042】図7Aは、A2=“1”、A3=“1”により、セルブロックMCB1が選択され、且つワード線WL7が選択された場合の強誘電体メモリの動作タイミングを示している。ワード線WL7が選択され（時刻t1）、その後セルブロックMCB1を選択するブロック選択信号BS1が“H”になり、プレート線PLに“H”が与えられる（時刻t2）。そして、活性化信号TCK0が“H”になると、NANDゲートG1が活性になり、駆動端子CKAが出力される（時刻t3）。

【0043】これにより、データが読み出されるビット

12

線BLに、キャパシタCを介してオフセット電圧が与えられる。その後、センスアンプ回路が活性化され（時刻t4），“0”、“1”データが検知増幅される。その後、プレート線PLを“L”として（時刻t5）、読み出しデータの再書き込みがなされた後、センスアンプ回路が非活性にされる（時刻t6）。ワード線WL4、WL5、WL6が選択された場合も同様の動作になる。

【0044】図7Bは、A2=“1”、A3=“1”により、セルブロックMCB1が選択され且つ、ワード線WL1が選択された場合の動作タイミング図である。この場合、図7Aと異なり、時刻t4で駆動端子CKA、CKBには駆動電圧が得られず、選択ビット線BLにオフセット電圧は与えられない。ワード線WL0、WL2、WL3が選択されたときも同様の動作となる。

【0045】この様に、ビット線BLから遠いユニットセルのグループが選択されたときに、そのビット線BLにオフセット電圧が与えられ、前述のようにワード線WL0-WL3が選択されたときの信号マージンのバランスが補正される。

【0046】図6の場合、オフセット電圧発生回路4が発生するオフセット電圧は一種である。これに対して、図8は、二種のオフセット電圧を発生するオフセット電圧発生回路4の構成を示している。この場合、各ビット線BL、BBLに容量カップリングのために、二つずつのキャパシタC、CB、CC、CDが用意される。これらのキャパシタC、CB、CC、CDの駆動端子CKA、CKB、CKC、CKDを駆動するためにそれぞれ、NANDゲートG11、G12、G21、G22とインバータINV11、INV12、INV21、INV22が設けられる。

【0047】ここでは、図6の場合と同様に、アドレスの3ビットA0-A2により、8本のワード線WL0-WL7の一つが選択され、またアドレスビットA3により、ビット線対BL、BBLの一方（即ち、セルブロックMCB1、MCB0の一方）が選択される場合を想定している。更に、ワード線WL4-WL7のうち、WL4又はWL5が選択されたときと、WL6又はWL7が選択されたときと異なるオフセット電圧を選択ビット線に与えるために、各ビット線毎に2系統の電圧印加回路が構成されている。

【0048】即ち、A2=“1”、A3=“1”のとき、セルブロックMCB1が選択され且つ、ワード線WL4-WL7が選択され、このときNANDゲートG11が活性になって、キャパシタCが駆動される。更に、A1=“1”で且つA3=“1”により、ワード線WL4-WL7のうち、WL6又はWL7が選択される。このとき、NANDゲートG12が活性化され、キャパシタCBが駆動される。即ち、ワード線WL4又はWL5が選択されたときはキャパシタCのみが、また

13

ワード線WL 6又はWL 7が選択されたときは、キャパシタC AとC Bが同時に駆動される。

【0049】これにより、ワード線WL 4又はWL 5が選択された時に選択ビット線BLに与えられるオフセット電圧に比べて、ワード線WL 6又はWL 7が選択された時にはより大きなオフセット電圧が選択ビット線BLに与えられる。セルブロックMCB 0が選択されて、ビット線BLにデータが読み出される場合も同様である。この場合には、ワード線WL 4又はWL 5が選択されたときはNANDゲートG 2 1が活性化してキャパシタC Cのみが、またワード線WL 6又はWL 7が選択されたときは、更にNANDゲートG 2 2が活性化してキャパシタC CとC Dが同時に駆動される。

【0050】図9は、 $A1 = "1"$ 、 $A2 = "1"$ 且つ $A3 = "1"$ により、セルブロックMCB 1が選択され、且つワード線WL 7が選択された場合の強誘電体メモリの動作タイミングを示している。ワード線WL 7が選択され(時刻t 1)、その後セルブロックMCB 1を選択するブロック選択信号BS 1が"H"になり、プレート線PLに"H"が与えられる(時刻t 2)。そして、活性化信号TCK 0が"H"になると、二つのNANDゲートG 1 1、G 1 2が活性になり、駆動信号CKA、CKBが出力される(時刻t 3)。

【0051】これにより、データが読み出されるビット線BLに、キャパシタC A、C Bを介してオフセット電圧が与えられる。その後、センスアンプ回路が活性化され(時刻t 4)、“0”、“1”データが検知増幅される。その後、プレート線PLを"L"として(時刻t 5)、読み出しデータの再書き込みがなされた後、センスアンプ回路が非活性になる(時刻t 6)。ワード線WL 6が選択された場合も同様の動作になる。ワード線WL 4又はWL 5が選択された場合は、駆動信号CKAのみが"H"となり、キャパシタC Aのみが駆動される。

【0052】図6及び図8に示したオフセット電圧発生回路4では、回路電源電圧V 0を用いて、これをキャパシタの駆動電圧としている。そのため、図8では、二種のオフセット電圧を発生するために、各ビット線BL、BBLに二個ずつのキャパシタC A、C B、C C、C Dが必要であった。これに対して、異なるキャパシタ駆動電圧を用意すれば、一つずつのキャパシタで複数段階のオフセット電圧を発生することが可能である。

【0053】図10は、その様なオフセット電圧発生回路4の構成例を示している。ここでは、ビット線BL、BBLに接続されたカップリング用キャパシタC A、C Bの駆動端子CKA、CKBに対して、4種の駆動電圧VSS、V 0、2V 0、3V 0を選択的に与えて、4ステップのオフセット電圧が与えられるようにしている。即ち、8本のワード線WL 0-WL 7に対して、WL 0又はWL 1が選択された時、WL 2又はWL 3が選択さ

14

れた時、WL 4又はWL 5が選択された時、WL 6又はWL 7が選択された時に応じて、それぞれ異なるオフセット電圧をビット線に与えるようにする。

【0054】そのために、キャパシタC Aの駆動端子CKAには、電圧3V 0、2V 0、V 0及びVSSを与えるための駆動用PMOSTランジスタQP 2 1、QP 2 2、QP 2 3、QP 2 4が設けられている。同様に、キャパシタC Bの駆動端子CKBには、電圧3V 0、2V 0、V 0及びVSSを与えるための駆動用PMOSTランジスタQP 3 1、QP 3 2、QP 3 3、QP 3 4が設けられている。NMOSTランジスタQN 2 1、QN 3 1は、活性化信号TCK 0が"L"のときに、駆動端子CKA、CKBをVSSにリセットするためのリセットランジスタである。

【0055】駆動用PMOSTランジスタQP 2 1、QP 2 2、QP 2 3、QP 2 4をアドレスに応じて選択的にオン駆動するためのデコードゲートとして、NANDゲートG 1 0 1、G 1 0 2、G 1 0 3、G 1 0 4が設けられている。同様に、駆動用PMOSTランジスタQP 3 1、QP 3 2、QP 3 3、QP 3 4をアドレスに応じて選択的にオン駆動するためのデコードゲートとして、NANDゲートG 2 0 1、G 2 0 2、G 2 0 3、G 2 0 4が設けられている。

【0056】NANDゲートG 1 0 1、G 1 0 2、G 1 0 3、G 1 0 4は、セルブロックMCB 1、MCB 0を選択するアドレスビットA 3が、 $A3 = "1"$ のとき、即ちセルブロックMCB 1が選択されるときに活性化される。NANDゲートG 2 0 1、G 2 0 2、G 2 0 3、G 2 0 4は、 $A3 = "1"$ のとき、即ちセルブロックMCB 0が選択されるときに活性化される。更にこれらのNANDゲートには8本のワード線の二本ずつを選択するA 1、 $A1$ 、A 2、 $A2$ の組み合わせが入り、ワード線位置に応じてオンになる。

【0057】図11は、 $A3 = "1"$ によりセルブロックMCB 1即ちビット線BLが選択され、 $A1 = A2 = "1"$ によりワード線WL 6又はWL 7が選択された場合の強誘電体メモリの動作タイミングを示している。例えばワード線WL 7が選択され(時刻t 1)、その後セルブロックMCB 1を選択するブロック選択信号BS 1が"H"になり、プレート線PLに"H"が与えられる(時刻t 2)。そして、活性化信号TCK 0が"H"になると、 $A1 = A2 = A3 = "1"$ によりNANDゲートG 1 0 1が活性になり、駆動ランジスタQP 2 1がオンして、駆動端子CKAに3V 0が出力される(時刻t 3)。

【0058】これにより、データが読み出されるビット線BLに、3V 0で駆動されたキャパシタC Aにより大きなオフセット電圧が与えられる。その後、センスアンプ回路が活性化され(時刻t 4)、“0”、“1”データが検知増幅される。その後、プレート線PLを"L"

として(時刻t5)、読み出しデータの再書き込みがなされた後、センスアンプ回路が非活性にされる(時刻t6)。ワード線WL6が選択された場合も同様の動作になる。

【0059】ワード線WL4又はWL5が選択された時は、NANDゲートG102がオンになり、駆動トランジスタQP22がオンとなって、駆動端子CKAには2V0が与えられる。これにより、ワード線WL6、WL7が選択された場合に比べて小さいオフセット電圧がビット線BLに与えられる。ワード線WL2又はWL3が選択された時は、NANDゲートG103がオンになり、駆動トランジスタQP23がオンとなって、駆動端子CKAにはV0が与えられる。これにより、ワード線WL4、WL5が選択された場合に比べて更に小さいオフセット電圧がビット線BLに与えられる。以下同様に、選択されるワード線位置に応じて細かくステップ分けされたオフセット電圧がビット線に与えられ、信号マージンのバランス補正がなされる。

【0060】以上の実施の形態において、図7A、図7B、図9、図11において、オフセット電圧発生回路4を非活性にするタイミング、即ち活性化信号TCK0を“L”にするタイミングは、センスアンプ回路2によるセンス動作を行い、プレート線PLを“L”に戻した後、センスアンプ回路2を非活性にする前としている。しかしオフセット電圧発生回路4は、読み出しデータが確定すれば、オフにしても差し支えなく、例えばプレート線PLを“L”にするより前に活性化信号TCK0を“L”にすることもできる。

【0061】ここまでの実施の形態では、TC並列ユニット直列接続型強誘電体メモリのワード線位置による読み出し信号マージンのアンバランスを、データが読み出されるビット線に所定のオフセット電圧を与えることにより補正した。これに対して、セルブロックのプレート線側からセルブロックの内部ノードをプリチャージすることにより、同様にワード線位置による読み出し信号のマージンのアンバランスを補正することが可能である。以下にその様な実施の形態を説明する。

【0062】【実施の形態2】図12は、その様な実施の形態によるTC並列ユニット直列接続型強誘電体メモリの要部構成を示す等価回路である。基本構成は、図24に示す回路と同様であり、ユニットセルMCは、セルトランジスタTのソース、ドレインに強誘電体キャパシタCの両端をそれぞれ接続して構成されている。この様なユニットセルMCが図の例では端子N1、N2間に8個直列接続されて、セルブロックMCBが構成される。図では、一対のビット線BL、BLに接続される二つのセルブロックMCB0、MCB1を示している。

【0063】セルブロックMCB0、MCB1の一端N1は、ブロック選択トランジスタBST0、BST1を介してビット線BBL、BLに接続され、他端N2はプ

レート線BPL、PLに接続される。各セルブロックのセルトランジスタのゲートは、ワード線WL0〜WL7に接続される。ビット線BL、BLには読み出しデータを検知増幅するセンスアンプ(SA)回路2が接続され、プレート線PL、BPLには、プレート線駆動回路3が接続されている。

【0064】ここで、プレート線駆動回路3は、アクティブ時にプレート線PL、BPLを駆動する本来のプレート線駆動回路としての機能の他に、スタンバイ時にセルブロックMCB0、MCB1の内部ノードを所定電位にプリチャージするためのプリチャージ回路の機能を併せ持つ3値電圧発生回路として構成されている。プリチャージ電位は、“0”、“1”データのときにビット線に読み出される電位の間にある電位(好ましくは参照電位と同じ中間電位)とする。プレート線駆動回路3は、アクティブ時には、上述したプリチャージ電位より高い電位と、プリチャージ電位より低い電位を順次プレート線に出力することになる。

【0065】図14は、プレート線駆動回路3のうちの一つのプレート線PLを駆動する部分について具体的な構成を示している。PMOSTランジスタQP41は、クロックφ1=“L”によりオン駆動されて、プレート線PLに高電位VPLHを与える。NMOSTランジスタQN41は、クロックφ2=“H”によりオン駆動されて、プレート線PLに低電位VSSを与える。NMOSTランジスタQN42とPMOSTランジスタQP42は、それぞれクロックφ3=“H”、φ3=“L”によりオン駆動されて、プレート線PLにプリチャージ電位(図の場合参照電位Vref)を与える。

【0066】このプレート線駆動回路3の動作波形は、図15のようになる。即ち、スタンバイ時、φ1=“H”、φ2=“L”、φ3=“H”である。このとき、プレート線PLにはVrefが与えられる。このプレート線に与えられるプリチャージ電位Vrefは、後述するようにセルブロックの内部ノードに転送される。アクティブ時は、φ3=“L”であり、φ1が“H”から“L”に、続いてφ2が“L”から“H”に変化することにより、順次高電位VPLH、低電位VSSがプレート線PLに与えられる。

【0067】図12の強誘電体メモリの動作を、セルブロックMCB1に着目し、且つアクティブ時にワード線WL2が選択される場合について、図13のタイミング図を参照して次に説明する。クロックφ3=“H”のスタンバイ時、前述のようにプレート線駆動回路3からプレート線PLにはプリチャージ電位Vrefが与えられる。この間、全ワード線WL0〜WL7は“H”であり、プレート線PLのプリチャージ電位Vrefはオンしているセルトランジスタを介して、セルブロックMCB1の内部ノードに転送される。

【0068】クロックφ3が“L”になり、同時に選択

17

ワード線WL2が“L”になって、アクティブ動作に入る(時刻t1)。そして、ブロック選択信号BS1が選択されて“H”になり(時刻t2)、セルブロックMCB1の選択メモリセルの強誘電体キャパシタがビット線BLに接続される。そして、クロックφ1が“L”になって、プレート線PLに高電位VPLH(図13の例では、電源電位VAA)が与えられ、ビット線へのデータ読み出しが行われる。この後、センスアンプ活性化信号SEが“H”になり、ビット線BLに与えられた参照電位Vrefとの比較により、ビット線BLは、データ“0”、“1”に応じて、VSS、VAAに増幅される。

【0069】その後、クロックφ1が“L”になり、代わってクロックφ2が“H”になることで、プレート線PLは低電位VSSに戻される(時刻t5)。センスアンプ回路2は引き続き活性に保たれ、その間に、前述のように“1”データの場合には強誘電体キャパシタに逆電圧が掛かり、“0”データの場合は印加電圧ゼロととなって、書き込みがなされる。そして、ブロック選択信号BS1を“L”にしてセルブロックをビット線BLから切り離し、更にセンスアンプ回路2を非活性にする(時刻t6)。この後、クロックφ2を“L”とし、更にワード線WL2を“H”、クロックφ3を“L”として、スタンバイ状態に戻る。

【0070】この実施の形態の場合の強誘電体キャパシタに印加される電圧の軌跡を、図27と比較して示すと、図16のようになる。この実施の形態では、セルブロックの内部ノードがVrefにプリチャージされる。従って、データ読み出し時、選択メモリセル位置からビット線側にあるメモリセルのノードに蓄積されている電荷が信号電荷に加算されてビット線に読み出される。この信号電荷に加算される電荷量は、ワード線WL0により選択されるビット線に最も近いメモリセルの場合には最も小さく、ワード線WL7により選択されるビット線から最も遠いメモリセルの場合に最も大きいという関係がある。

【0071】セルブロック内部ノードのプリチャージの結果として、ワード線WL0を選択した場合に比べて、ワード線WL7を選択した場合の信号電荷量はΔQだけ大きくなるとすると、図16に示したように、負荷直線-Cbのスタート点が、ワード線WL0を選択した場合に比べて、ワード線WL7を選択した場合の方が電荷量ΔQの分だけシフトしたと等価になる。

【0072】以上の結果、図16に示すように、“1”データの場合のビット線読み出し電位は、ワード線WL0を選択した場合に比べて、ワード線WL7を選択した場合より減少するが、その減少分は図27と比べてごく小さい。“0”データについては、ワード線WL0を選択した場合に比べて、ワード線WL7を選択した場合の方が僅かに増加する。図17は、従来の図28に対応さ

18

せて、読み出しビット線電位のワード線位置依存性を示している。“0”データの場合、実質的に読み出し電位はワード線位置がWL0からWL7に変化するにつれて、僅かに大きくなるが、略一定である。“1”データの場合は逆に、ワード線位置がWL0からWL7に変化するにつれて読み出し電位が僅かに減少するが、略一定である。従って、参照電位(同時にプリチャージ電位でもある)Vrefを“0”、“1”データのビット線読み出し電位の略中間電位に固定して、自動的にワード線位置による信号マージンのアンバランスが補正される。そしてどのワード線が選択された場合でも、略一定の信号量が得られる。

【0073】ビット線にオフセット電圧を与える方式では、ワード線位置に応じてオフセット電圧を選択する必要があり、アドレス選択の機能を必要とした。これに対してこの実施の形態の場合には、セルブロックの内部ノードにプリチャージされた電荷は、ワード線の選択により自動的に、ワード線位置よりビット線側にある電荷のみが信号電荷に加算されて読み出される。従って、アドレス選択機能を持つ回路の格別に用意する必要がなく、回路は簡単になる。

【0074】図12の回路に対して、参照電位発生回路を含めた回路構成を示すと、図18のようになる。参照電位発生回路4は、一端が駆動線DPLにより駆動されるキャパシタCrを用いて構成される。キャパシタCrの他端は、スタンバイ時はリセット用NMOSトランジスタQN13を介してVSSに接続され、アクティブ時にはNMOSトランジスタQN11、QN12により選択的にビット線BL、BLに接続される。

【0075】この回路構成の場合の動作タイミングを図19に示す。その基本動作は、図12の場合と同様であるので、参照電位発生動作に着目して説明する。選択ワード線WL2が“L”になってアクティブ動作に入り(時刻t1)、その後ブロック選択信号BS1が“H”になると同時に、参照電位発生回路4の選択信号DBS0が“H”になる(時刻t2)。続いて、プレート線PLにVAAを与える時に同時に、駆動線DPLに“H”を与える(時刻t3)。これにより、トランジスタQN11を介してキャパシタCrがビット線BLに接続され、駆動線DPLに与えられる電圧がビット線BLに所定の結合比で参照電位のビット線BLに容量結合され、参照電位Vrefがビット線BLに与えられる。そして、選択信号DBS0を“L”にした後、プレート線PLおよび駆動線DPLを“L”レベルにする(時刻t5)。書き込みが終了した後、リセット信号DRSを“H”にして、キャパシタCrのノードをVSSにリセットし(時刻t6)、センスアンプ回路2を非活性にする(時刻t7)。

【0076】以上のよう、一つのキャパシタCrを用いた簡単な参照電位発生回路4により、参照ビット線側

に与える参照電位 V_{ref} を固定した状態で、且つセルブロックのプリチャージ動作によってワード線位置による読み出し信号量の補正が可能である。

【0077】図20は、図18における参照電位発生回路4のキャパシタC_rとして、常誘電体キャパシタではなく、メモリセルと同様の強誘電体キャパシタを用いた例である。それ以外は図18と変わらない。この場合、キャパシタC_rには、メモリセルの“0”データ状態と同様の残留分極状態が書き込まれるものとする。但し、駆動線DPLをプレート線PLと同様の電圧で駆動して参照電位 V_{ref} として“0”、“1”の読み出し電位の中間の値を得るためには、例えばキャパシタC_rの面積をセルユニットMCの強誘電体キャパシタCのそれより大きくする。

【0078】図21は、図20の回路構成の場合の動作タイミングを、図19に対応させて示している。図19と異なるのは、参照電位発生回路5の駆動線DPLをデータ読み出し動作の間、“H”に保ち、センス動作が終了した後、時刻t8で“L”にしている点である。これは、キャパシタC_rとして強誘電体キャパシタを用いているため、誤って“1”データが書かれるのを防止するためである。

【0079】ここまでの実施の形態では、ワード線位置に応じて選択されるセルユニットの強誘電体キャパシタの負荷が実質的に変動することによる読み出し信号量変動を補正するために、ビット線側に或いはビット線と反対のプレート線側に所定の補正用電圧を与えるようにした。これに対し、積極的に電圧印加を行うことなく、ビット線側の寄生容量のバランスをとることにより信号量のアンバランスを補正することも可能である。その様な実施の形態を次に説明する。

【0080】【実施の形態3】図22は、その様な実施の形態のTC並列ユニット直列接続型強誘電体メモリの要部構成を示す等価回路である。基本構成は、図24に示す回路と同様である。この実施の形態では、ビット線対BL、BBLに対して設けられるセルブロックMCB1、MCB0と別に、ダミーセルブロックDMCBが設けられている。セルブロックMCB0、MCB1が8個のセルトランジスタTと強誘電体キャパシタCにより構成される場合に、ダミーセルブロックDMCBは、8個のダミーセルトランジスタDTの直列接続により構成される。

【0081】ダミーセルトランジスタDTの一端は接地され、他端は選択ゲートトランジスタDBST0、DBST1を介してそれぞれビット線BBL、BLに選択的に接続される。ダミーセルトランジスタDTのゲートはダミーワード線DWL0-DWL7により駆動される。選択ゲートトランジスタDBST0、DBST1は、ブロック選択信号DBS0、DBS1により駆動される。なお図では省略したが、ダミーセルブロックDMCBと

は別に、ビット線BL、BBLに参照電位 V_{ref} を与えるために、図18或いは図20と同様の参照電位発生回路5が設けられる。

【0082】ダミーセルブロックDMCBは、セルブロックMCB0、MCB1の一方が選択された時に、その選択されたユニットセル位置に応じて異なる寄生容量と同等の寄生容量を参照側のビット線に付加するために用いられる。選択されたユニットセルよりビット線側ではユニットセルの強誘電体キャパシタは短絡されているから、選択されたセルブロックの寄生容量は、選択されたユニットセルよりビット線側にあるセルトランジスタのゲート容量と拡散層容量によりほぼ決まる。従って、ダミーセルトランジスタDTを、セルブロックに用いられるセルトランジスタTと同じ寸法のものとするれば、ワード線と対応するダミーワード線が選択されるようにして、参照ビット線に選択ビット線と同じ寄生容量を付加することが可能になる。

【0083】図23は、この実施の形態の場合の動作タイミング図である。スタンバイ時、ワード線WL0-WL7が“H”に保持される間、同様にダミーワード線DWL0-DWL7も“H”に保持される。そして、アクティブ時、ワード線WL0-WL7の一本が“L”とされるときに、同時にダミーワード線DWL0-DWL7の中の対応する一本が“L”とされる。図23の例では、セルブロックMCB1が選択され、ワード線WL7が選択された場合を示している。ワード線WL7と同時に対応するダミーワード線DWL7が選択される(時刻t1)。そしてブロック選択信号BS1が“H”になって、セルブロックMCB1が選択されるときに同時に、ブロック選択信号DBS0が“H”になって、ダミーセルブロックDMCBがビット線BBLに接続される(時刻t2)。

【0084】これにより、セルブロックMCB1のワード線WL7により選択されたユニットセルがビット線BBLに接続され、同時にダミーセルブロックDMCBのダミーワード線DWL7により選択されたダミーセルトランジスタDTが参照側のビット線BBLに接続される。参照側のビット線BBLには、図22では省略した参照電位発生回路により所定の参照電位 V_{ref} が与えられる。そして、センスアンプ回路を活性化することにより、“0”、“1”データの判別が行われる(時刻t3)。その後、先の実施の形態と同様に、プレート線PLを“L”にして読み出しデータの再書き込みを行い(時刻t5)、センスアンプ回路2を非活性化にする(時刻t5)。

【0085】この実施の形態の場合、セルブロックMCBの読み出しにおいて、ワード線位置に応じて異なるセルブロックの寄生容量がビット線BBLに接続される時に、同時に参照側のビット線BBLにもダミーセルブロックDMCBによりワード線位置に応じて異なる寄生容

量が接続されることになる。このことは、言い換えれば、セルブロックの選択ワード線位置に応じて、参照側のビット線に与える参照電位 V_{ref} を実質的に変えたと同値になる。この結果、ワード線位置による信号量のアンバランスが補正される。

【0086】この実施の形態において、ダミーセルブロックはセルトランジスタのみにより構成され、書き込み等の動作は必要がない。従って、図23に破線で示したように、センスアンプ回路2を活性化してデータが確定した後は、選択されたブロック選択信号 DBS_0 を“L”とし、また選択されたダミーワード線 DWL_7 を“L”とすることができ、

【0087】

【発明の効果】以上述べたようにこの発明によれば、TC並列ユニット直列接続型強誘電体メモリの選択されるワード線位置により負荷が変動することに起因する“0”、“1”データの信号マージンのアンバランスが補正され、ワード線位置に依らず略一定の信号マージンを得ることが可能になる。

【図面の簡単な説明】

【図1】この発明の実施の形態による強誘電体メモリの構成を示す等価回路図である。

【図2A】選択ビット線にオフセット電圧を与える方式による信号アンバランス補正の原理を説明するための特性図である。

【図2B】選択ビット線にオフセット電圧を与える他の方式による信号アンバランス補正の原理を説明するための特性図である。

【図3A】参照ビット線にオフセット電圧を与える方式による信号アンバランス補正の原理を説明するための特性図である。

【図3B】参照ビット線にオフセット電圧を与える他の方式による信号アンバランス補正の原理を説明するための特性図である。

【図4】図1の構成に参照電位発生回路を付加した回路構成を示す図である。

【図5】図1の構成に他の参照電位発生回路を付加した回路構成を示す図である。

【図6】オフセット電圧発生回路を具体化した回路構成例を示す図である。

【図7A】図6のオフセット電圧印加回路を用いた場合の動作タイミング図である。

【図7B】図6のオフセット電圧印加回路を用いた場合の動作タイミング図である。

【図8】オフセット電圧発生回路を具体化した他の回路

構成例を示す図である。

【図9】図8のオフセット電圧印加回路を用いた場合の動作タイミング図である。

【図10】オフセット電圧発生回路を具体化した他の回路構成例を示す図である。

【図11】図10のオフセット電圧印加回路を用いた場合の動作タイミング図である。

【図12】この発明の他の実施の形態による強誘電体メモリの構成を示す等価回路である。

【図13】同強誘電体メモリの動作タイミング図である。

【図14】同強誘電体メモリのプレート線駆動回路の構成を示す図である。

【図15】同プレート線駆動回路の動作波形を示す図である。

【図16】同強誘電体メモリの読み出し信号の電圧軌跡を示す図である。

【図17】同強誘電体メモリのビット線読み出し電位のワード線位置依存性を示す図である。

【図18】図12の回路に参照電位発生回路を付加した回路構成を示す図である。

【図19】図18の回路の動作タイミング図である。

【図20】図18の参照電位発生回路を変形した回路構成を示す図である。

【図21】図20の回路の動作タイミング図である。

【図22】この発明の他の実施の形態による強誘電体メモリの構成を示す等価回路である。

【図23】同強誘電体メモリの動作タイミング図である。

【図24】TC並列ユニット直列接続型強誘電体メモリの基本構成を示す等価回路である。

【図25】同強誘電体メモリの動作タイミング図である。

【図26】同強誘電体メモリの動作原理を説明するためのヒステリシス特性である。

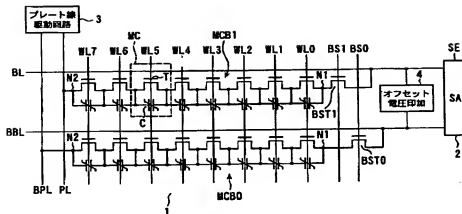
【図27】同強誘電体メモリのワード線位置による読み出し信号電位の変化を示す図である。

【図28】同強誘電体メモリの読み出し信号電位のワード線位置依存性を示す図である。

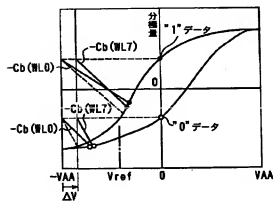
【符号の説明】

1…メモリセルアレイ、2…センスアンプ回路、3…プレート線駆動回路、4…オフセット電圧発生回路、5…参照電位発生回路、MC…メモリセル、MCB0、MCB1…セルブロック、BL、BBL…ビット線、WL0～WL7…ワード線。

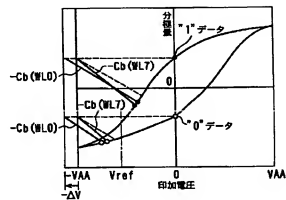
【図 1】



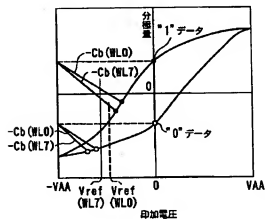
【図 2 A】



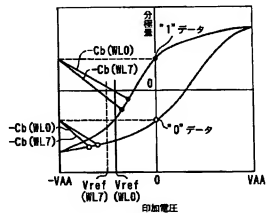
【図 2 B】



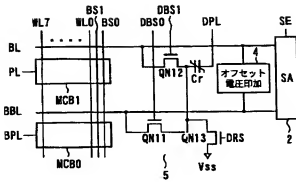
【図 3 A】



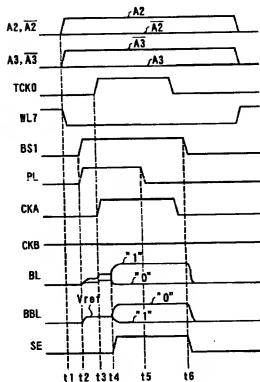
【図 3 B】



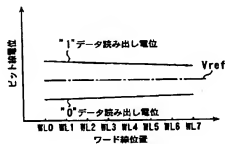
【图5】



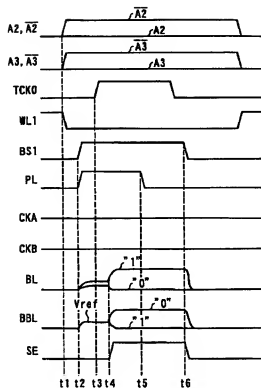
【図 7 A】



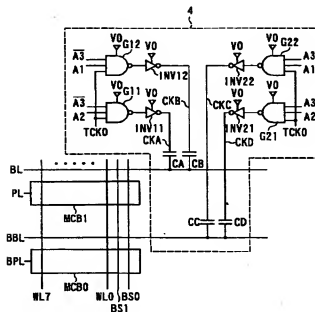
【图 17】



【図7B】

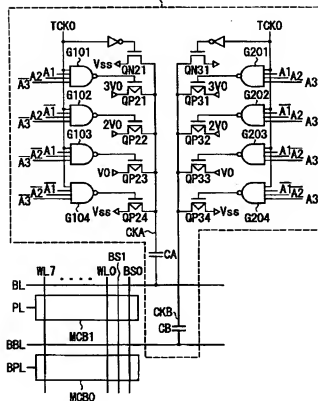
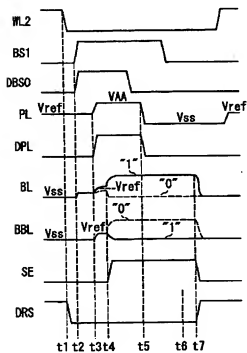


【図8】

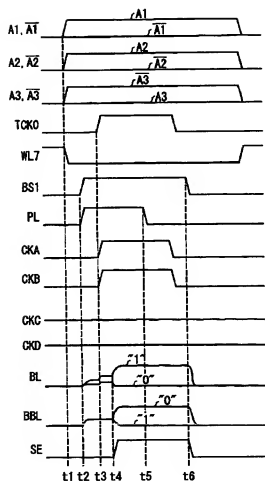


【図10】

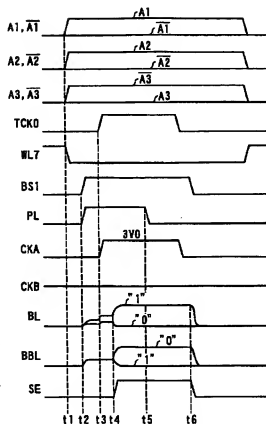
【図19】



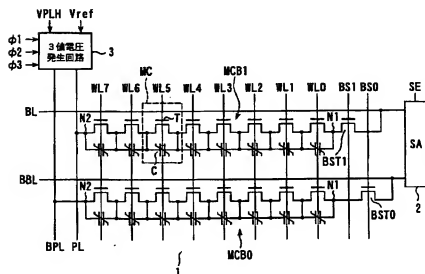
【図9】



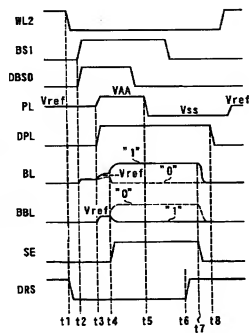
【図11】



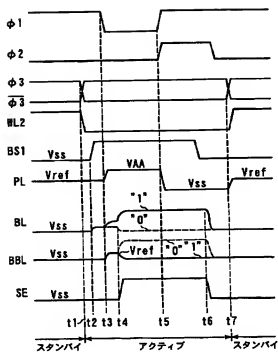
【図12】



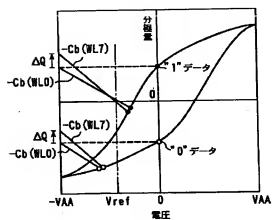
【図21】



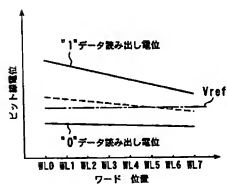
【図 13】



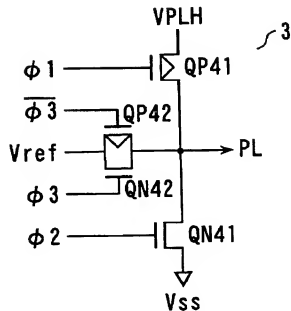
【図 16】



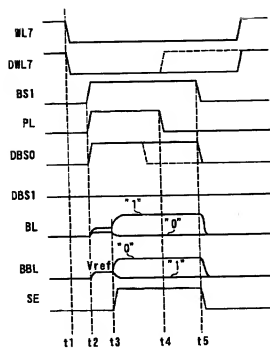
【図 28】



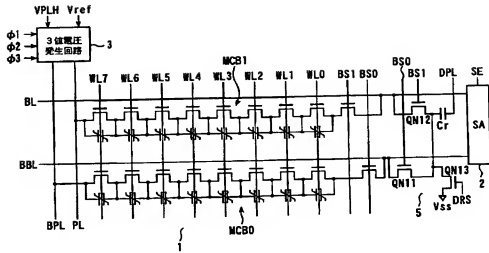
【図 14】



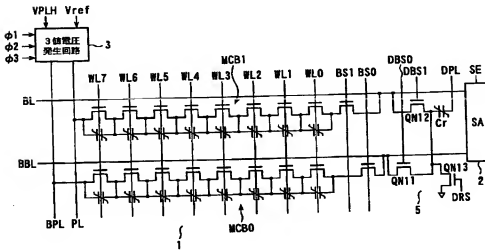
【図 23】



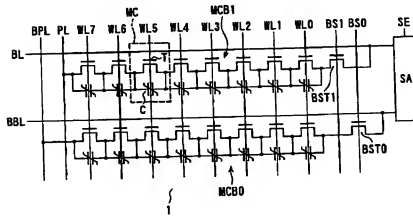
【図 18】



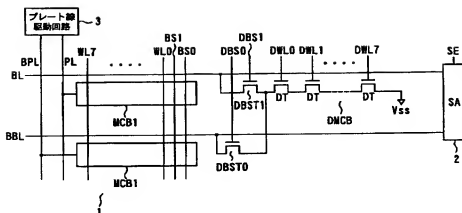
【図 20】



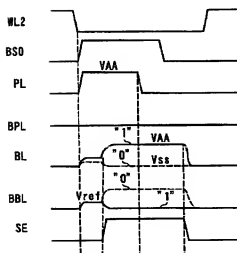
【図 24】



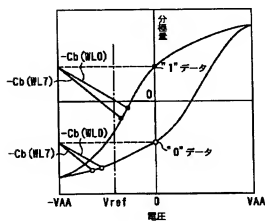
【図 22】



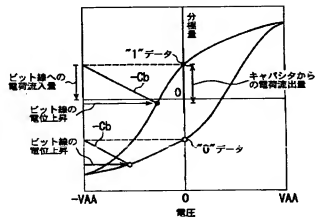
【図 25】



【図 27】



【図 26】



フロントページの続き

Fターム(参考) 5B024 AA04 BA01 BA02 BA07 BA27
BA29 CA07